

PRACTICA 2

SIMULACIONES DE CIRCUITOS COMBINACIONALES SOLO CON COMPUERTAS.

Teniendo en cuenta las ecuaciones booleanas:

$$S = \bar{A}\bar{B}C_{ENT} + \bar{A}B\bar{C}_{ENT} + A\bar{B}\bar{C}_{ENT} + ABC_{ENT}$$

$$C_{SAL} = \bar{A}BC_{ENT} + A\bar{B}C_{ENT} + AB\bar{C}_{ENT} + ABC_{ENT}$$

Equivalentes a un circuito sumador aritmético de 2 entradas con carry de entrada y carry de salida.

1. Dibujar el circuito lógico equivalente "compuertas". (0.5)
2. Describir un Verilog module que ejecute esta operación. (0.25)
3. Llevar a cabo la simulación para observar su comportamiento. (0.25)
4. Observar el RTLview para comparar el circuito lógico descrito por el ISE, con el obtenido manualmente. (0.25)
5. Escriba su tabla de verdad a partir de la Simulación obtenida. (0.25)
6. Integre varios sumadores para obtener un sumador de 4bits dentro de su mismo modulo. (0.5)
7. Lleve a cabo la simulación y obtenga la tabla de verdad del sumador descrito en el numeral 5, compare los resultados obtenidos con su sumador, con los obtenidos haciendo uso de la instrucción de suma aritmética +. (1.0)
8. Cree un nuevo módulo Verilog y haga el llamado del módulo anterior 8 veces para obtener un sumador de 32 bits. (1.0)
9. Simular el modulo obtenido en el numeral 7 y comparar los datos obtenidos con los obtenidos con la operación de suma aritmética. (1.0)

PRESENTACION DEL PREINFORME

- El pre-informe debe incluir los circuitos diseñados con su respectiva explicación, adjuntar simulaciones, tablas de verdad, análisis de resultados, RTLview, se debe entregar en los primeros 10 minutos del laboratorio en formato IEEE.
- El horario de laboratorio solo se utilizará para calificar los diseños. Los circuitos deberán ser construidos y probados por fuera del horario del laboratorio.
- Cada grupo debe traer sus materiales. No se permite el préstamo de materiales entre los grupos.
- La inasistencia al laboratorio representa 0.0 de calificación. La anterior nota se eliminará si trae una excusa médica justificada.

PROGRAMACION:

http://jpadilla.docentes.upbbga.edu.co/FPGAs/PROGRAMACION_SEMANAL.htm